

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-144494**

(43)Date of publication of application : **16.06.1988**

---

(51)Int.Cl.

**G11C 11/34**

**G06F 12/08**

**G06F 12/08**

---

(21)Application number : **61-290203**

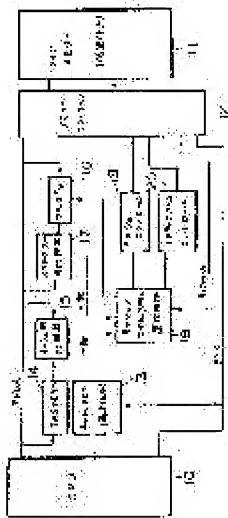
(71)Applicant : **ALPS ELECTRIC CO LTD**

(22)Date of filing : **05.12.1986**

(72)Inventor : **KUMADA TOMOHIRO**

---

## **(54) REFRESH SYSTEM FOR MAIN MEMORY**



### **(57)Abstract:**

**PURPOSE:** To prevent delay in access by using a cache comparator so as to compare the content of a tag memory with a high-order address when a low-order address is inputted and giving a refresh signal by a timer clock when the coincidence period continues for a prescribed period or over.

**CONSTITUTION:** A cache memory 13 uses a cache comparator 15 to compare the contents of a tag memory 14 receiving a low-order address at a part of an address from a CPU 10 with the high-order address and a coincidence signal is outputted for high speed operation. A refresh signal is raised at the leading of the cache access signal and when the cache access signal has a prescribed time or over of interval, a refresh signal is caused by the refresh request signal by a timer clock. In this case, since no access is given to a DRAM 11 being the main memory, the

refresh signal and the signal accessing the main memory 11 from the CPU 10 do not collide with each other. Thus, the retarded access is prevented.

④ 日本国特許庁 (JP)

⑤ 特許出願公開

⑥ 公開特許公報 (A) 昭63-144494

⑦ Int. Cl. 1	識別記号	序内整理番号	⑧公開 昭和63年(1988)6月16日
G 11 C 11/34	3 6 3	J-8522-5B	
G 06 F 12/08	3 1 0	E-7927-5B	
		Z-7927-5B	審査請求 未請求 発明の数 1 (全4頁)

⑨発明の名称 メインメモリーのリフレッシュ方式

⑩特 願 昭61-290203

⑪出 願 昭61(1986)12月5日

⑫発明者 熊田 友広 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社  
内

⑬出願人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

明細書

1. 発明の名称

メインメモリーのリフレッシュ方式

2. 特許請求の範囲

CPUからのアドレスの下位アドレスが入力されるタグメモリーの内容と、上位アドレスを比較するキャッシュ用比較器で、一致した場合などにリフレッシュ信号を与える、前記一致期間が一定以上となる場合にはダイマタロックによるリフレッシュ信号を与えるようにしたことを特徴とするメインメモリーのリフレッシュ方式。

3. 発明の詳細な説明

【産業上の利用分野】

本発明はメインメモリー、特に安価にて供給されるダイナミックRAMを高速アクセスするためのキャッシュメモリーを組み込んだ回路においてリフレッシュする方法の改良に関する。

【発明の技術】

一般的に、キャッシュメモリーを用いたアクセス方式は第3図として示すプロック回路のよう

ハードウェアによって実行されている。即ち、第3図にあって図中1はCPUであり、このCPUの1からのアドレスが発生すると、そのアドレスの一部である下位アドレスをタグメモリー2のアドレスとして入力し、そのタグメモリーの内容と、CPUの上位アドレスとを比較器3で比較して、一致していれば、高速のキャッシュメモリー4内にデータがあることとなるので高速アクセスでデータを読み込むようになっている。又、一致していない時は通常のアクセスでダイナミックRAMを用いたメインメモリー5からデータをCPUに取り込み、その時にそのデータの内容をキャッシュメモリー4内に書き込むことも行なうものとなっている。又、このキャッシュメモリー4を用いたアクセス方式は、ライト時には通常アクセスに沿って行うため、特に高速アクセスはできない。

又、このキャッシュメモリー4を用いた方式はメインメモリー5として通常は削除したようにダイナミックRAMを使用するのリフレッシュを

持ならうことが必要とされるが、従来、このリフレッシュ方式はタイマを用いて一定時間ごとにリフレッシュ信号を手えることによりなされていた。

〔発明が解決しようとする問題点〕

しかしながら、上記したようなキャッシュメモリーを組み入れたアクセス方式におけるリフレッシュ方式によると、そのリフレッシュ信号がCPUからメインメモリーをアクセスする場合にはぶつかってしまうことがある、アクセスが遅くなってしまうという問題点があった。

そこで、本発明は従来の技術の問題点に着目してなされたもので、かかる問題点を解消して、リフレッシュ信号がCPUからのアクセスとぶつかってしまうことを避け、アクセスを遅らせてしまうことがないようにしたメインメモリーのリフレッシュ方式を提供することを目的としている。

〔問題点を解決しようとするための手段〕

この目的を達成するために、本発明に係るメイ

を参照して詳細に説明する。

第1図は一般的なキャッシュメモリを用いたアクセス方式の問題点を是正するため、スタティックカラム方式との長所のみを生かしたアクセス方式を実行するためのハードウェアのブロック図であり、図中10はCPU、11はダイナミックRAMを用いた低速のメインメモリーである。このメインメモリー11はメモリコントロール12によって制御されるものとなっている。又、図中13は高速のキャッシュメモリーであり、このキャッシュメモリー13はCPU10からのアドレスの一組の下位アドレスが入力されるタグメモリー14の内容と上位アドレスをキャッシュ用比較器15によって比較され、一致信号が出て高速動作を行なうものとなっている。又、図中16はアドレスフィリップクロップであり、このアドレスフィリップクロップ16には前記したキャッシュメモリー13の高速動作時のアドレスがセッタされ、次のアクセス時にスタティックカラム用比較器17で一致した時に高速動作ができるよう

メモリーのリフレッシュ方式は、CPUからのアドレスの下位アドレスが入力されるタグメモリーの内容と、上位アドレスを比較するキャッシュ用比較器で、一致した場合ごとにリフレッシュ信号を発生。前記一致期間が一定以上となる場合にはダイマクロックによるリフレッシュ信号を手えるようにしたことを特徴としている。

〔作用〕

メインメモリーのリフレッシュ方式を上記したような公正とすることによって、キャッシュ用比較器が一致してキャッシュメモリーが高速動作している場合には、メインメモリーであるダイナミックRAMにはアクセスしていることはないので、その時にリフレッシュ信号を手えてやれば、そのリフレッシュ信号とCPUからメインメモリーをアクセスする信号とがぶつかることはなくなり、アクセスが遅くなってしまうことが防止されることとなるのである。

〔実施例〕

次に、本発明の実施の一例を第1図乃至第2図

を参照して詳細に説明する。又、スタティックカラム用比較器17から一致信号が出て場合に本スタティックカラムによる高速動作が行なわれるが、そのデータはキャッシュメモリー13にもセッタされ、次のアクセスに備えられるものとなっている。尚、図中18はキャッシュメモリー13によるかスタティックカラムによるかの選択回路であり、この選択回路18はキャッシュコントロール19、スタティックカラムコントロール20を介して前記メモリコントロール12に信号を送るものとなっている。又、図2図は、かかる回路構成にあって、ダイナミックRAMを用いたメインメモリー11は必要なリフレッシュ動作の信号を示す框図であり、Aは通常と同様なダイマクロックによるリフレッシュのリクエスト信号、Bはリフレッシュ信号、Cがキャッシュアクセス信号であり、本発明の場合には、リフレッシュ信号はキャッシュアクセス信号の立ち上がりと同時に発せられるものとなっており、そのキャッシュアクセス信号が一定時間以上間隔があいてしまう場合

には通常のタイマクロックによるリフレッシュのリクエスト信号によってリフレッシュ信号が発せられるものとなっている。

尚、本発明に係るメインメモリーのリフレッシュ方式は、特に第1図に示されるようなスタティックカラム方式をも組み込んだ回路に限られて実施されるものではなく、既来物として示した第3図のようなキャッシュ方式にも実施可能なことは勿論である。

#### (発明の効果)

上述したように本発明に係るメインメモリーのリフレッシュ方式によれば、キャッシュアクセス、即ち、キャッシュ用比較器から一致信号が出た時にはCPUからメインメモリをアクセスしていることはないので、この時にリフレッシュ動作を行なえば、そのリフレッシュ信号とCPUからアクセス信号がぶつかることはなく、アクセスの遅れが生じることはないものとなっている。

#### 4. 図面の簡単な説明

第1図は本発明に係るメインメモリーのリフ

レッシュ方式が実行されるハードウェアの回路ブロック図。第2図はキャッシュのタイミングを表すす信号の概念図。第3図は一般的なキャッシュメモリを組み込んだ回路のブロック図である。10…CPU 11…メインメモリー

13…キャッシュメモリー

14…タグメモリー

15…キャッシュ用比較器

A…リクエスト信号 B…リフレッシュ信号

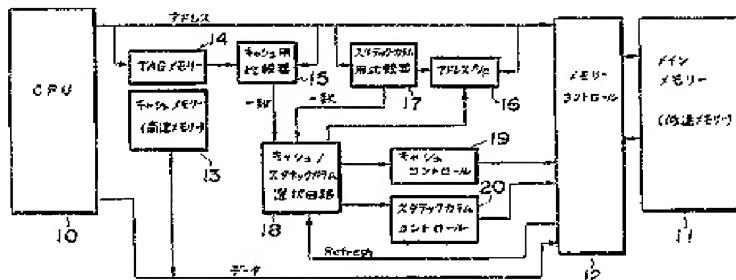
C…キャッシュアクセス信号

特許出願人 アルプス電気株式会社

代表者 片岡 勝太郎



第1図



第 2 図



第 3 図

